

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-198312
 (43)Date of publication of application : 31.07.1998

(51)Int.Cl.

G09G 3/36
 G02F 1/133
 G02F 1/133
 H01L 29/786

(21)Application number : 08-358951

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 30.12.1996

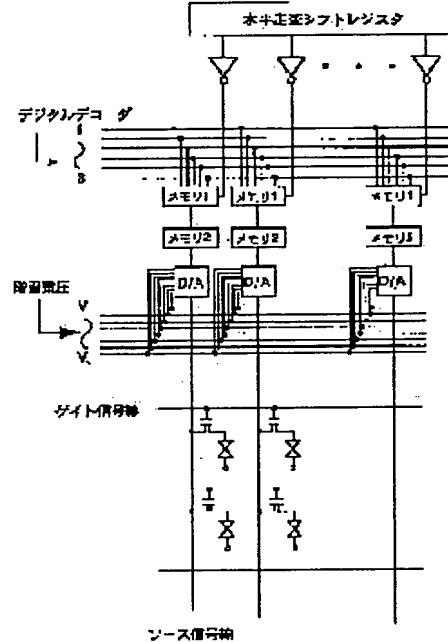
(72)Inventor : KOYAMA JUN
 OTANI HISASHI

(54) DISPLAY AND ITS OPERATING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display which displays 64 graduations in a simpler circuit configuration, by selecting graduation voltages set in one of periods obtained by dividing one-line period the during the selection of a graduation voltage.

SOLUTION: To select graduation voltage, this display has memories 1 and 2 which take in information about graduation voltage to be supplied to a digital decoder signal and a D/A converter which selects voltages. The graduation voltage supplied to a source signal line is selected from the products ($N \times M$) of N, that is dividing number of one-line period, and M, that is the number of the graduation voltage levels set in periods obtained by dividing one-line period. For example, when one-line period is divided into eight, and the supply timing of graduation voltage to be selected by the D/A converter is adopted using the graduation voltages set in the eight periods, $8 \times 8=64$ graduations of graduation voltages can be displayed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-198312

(43)公開日 平成10年(1998)7月31日

(51) Int.Cl. ⁶	識別記号	F I
G 0 9 G 3/36		G 0 9 G 3/36
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133
	5 7 5	5 7 5
H 0 1 L 29/786		H 0 1 L 29/786
		6 1 2 B

審査請求 未請求 請求項の数 8 FD (全 16 頁)

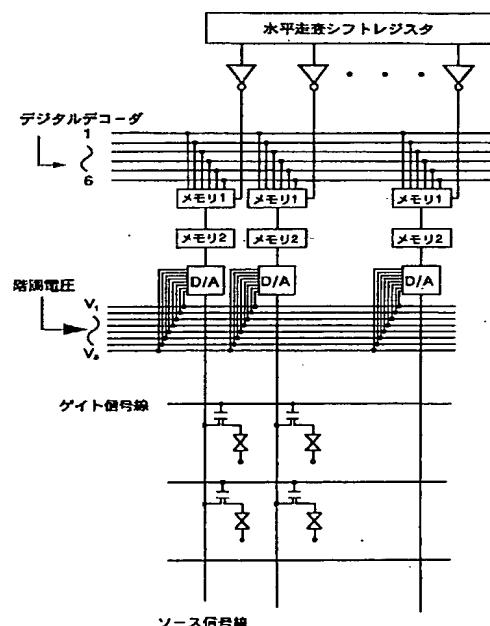
(21)出願番号	特願平8-358951	(71)出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22)出願日	平成8年(1996)12月30日	(72)発明者	小山 潤 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72)発明者	大谷 久 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(54)【発明の名称】 表示装置及び表示装置の駆動方法

(57)【要約】

【課題】 デジタル画像信号を入力として階調表示を行うアクティブマトリクス型の液晶表示装置の構成を簡略化する。

【解決手段】 多階調、例えば64階調の表示を行わせるために1ライン期間において8分割された8階調電圧を選択する。この際、階調電圧に関する8種類の情報と選択タイミングに関する8種類の情報がデジタルデコーダに供給される。この情報に基づき、階調電圧を所定のタイミングでもって選択する。こうすることで、64階調の表示を行わすことができる。この構成は、1タイミングにおいて選択する階調電圧が8種類なので、回路の構成を簡略化することができる。



【特許請求の範囲】

【請求項1】アクティブマトリクス型の表示装置であつて、格子状に配置されたゲイト信号線及びソース信号線と、前記ゲイト信号線とソース信号線との交点付近に配置された少なくとも1つの画素薄膜トランジスタと、前記ソース信号線毎に設けられ、前記ソース信号線に供給する階調電圧を選択する手段と、を有し、前記階調電圧を選択する手段における階調電圧の選択は、1ライン期間を複数に分割することにより得た期間の一つを選択し、かつ該期間内に設定された階調電圧を選択することにより行われることを特徴とする表示装置。

【請求項2】請求項1において、ソース信号線に供給される階調電圧は、1ライン期間の分割数Nと1ライン期間を分割した期間内に設定された階調電圧レベルの数Mとの積($N \times M$)で表される中から選択できることを特徴とする表示装置。

【請求項3】請求項1において、画素薄膜トランジスタは画素電極への画像情報の書き込み機能を有し、前記画素薄膜トランジスタの画素電極への情報書き込み時間は、1ライン期間を複数に分割することにより設定された1つの期間の長さより短いことを特徴とする表示装置。

【請求項4】請求項1において、ソース信号線に供給される階調電圧のレベルは、1ライン期間の分割数Nと1ライン期間を分割した期間内に設定された階調電圧レベルの数Mとの積($N \times M$)だけ存在し、画素薄膜トランジスタは画素電極への画像情報の書き込み機能を有し、前記画素薄膜トランジスタの情報書き込み時間は、1ライン期間をN分割することにより設定された1つの期間の長さより短いことを特徴とする表示装置。

【請求項5】請求項1において、階調電圧を選択する手段は、1ライン期間を分割することにより設定された期間のどれを選択するかに関する情報と、前記分割することにより設定された期間内に設定された複数の階調電圧レベルのどれを選択するかに関する情報と、により制御されることを特徴とする表示装置。

【請求項6】アクティブマトリクス型の表示装置であつて、格子状に配置されたゲイト信号線及びソース信号線と、前記ゲイト信号線とソース信号線との交点付近に配置された少なくとも1つの画素薄膜トランジスタと、前記ソース信号線毎に設けられ、前記ソース信号線に供

給する階調電圧を選択する手段と、

を有し、

前記階調電圧を選択する手段における階調電圧の選択は、1ライン期間をN分割することにより設定された1つの期間を選択し、かつ該期間内において設定されたM個の階調電圧レベルを選択することにより行われ、ソース信号線に供給される階調電圧は、1ライン期間の分割数Nと1ライン期間をN分割することにより設定された1つの期間内に設定された階調電圧レベルの数Mとの積($N \times M$)で表される中から選択でき、画素薄膜トランジスタは画素電極への画像情報の書き込み機能を有し、前記画素薄膜トランジスタの情報書き込み時間は、1ライン期間をN分割することにより設定された1つの期間の長さより短いことを特徴とする表示装置。

【請求項6】請求項5において、階調電圧を選択する手段は、1ライン期間をN分割することにより設定された期間のどれを選択するかに関する情報と、前記N分割することにより設定された期間内に設定されたM個の階調電圧レベルのどれを選択するかに関する情報と、により制御されることを特徴とする表示装置。

【請求項7】格子状に配置された複数のゲイト信号線と複数のソース信号線、さらに前記ゲイト信号線とソース信号線との交点付近に配置された少なくとも一つの薄膜トランジスタとを構成要素とする画素マトリクスを有した表示装置の駆動方法であって、

前記複数のソース線に供給される階調電圧の選択は、1ライン期間を複数に分割することにより設定された1つの期間の選択と、

前記一つに期間内に設定された電圧レベルの選択と、により行われることを特徴とする表示装置の駆動方法。

【請求項8】請求項7において、薄膜トランジスタの動作時間を1ライン期間を複数に分割することにより設定された1つの期間の長さより短くすることを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本明細書で開示する発明は、マトリクス状に配置された画素により画像の表示を行う表示装置に関する。例えば、本明細書で開示する発明は、アクティブマトリクス型の液晶表示装置やELディスプレイに利用することができる。

【0002】

【従来の技術】従来よりアクティブマトリクス型の液晶表示装置が知られている。これは、数百×数百個以上の数でもってマトリクス状に配置された画素電極のそれぞれにスイッチング用の薄膜トランジスタを配置し、各画素電極に保持させる電荷をこの薄膜トランジスタで制御す

る構成を有している。

【0003】表示する画像の質を高いものとするためには、階調表示をどこまで細かくできるかが重要な技術となる。

【0004】図3に古典的なアクティブマトリクス型の液晶表示の構成を示す。一般に周辺駆動回路と総称されるシフトレジスタ及びバッファー回路は、外付けのIC回路を基板上に配置することによって構成している。

【0005】またアクティブマトリクス回路には、ガラス基板上に形成されたアモルファスシリコンを利用した薄膜トランジスタが配置されている。

【0006】また、基板として石英を利用し、多結晶珪素膜でもって薄膜トランジスタを作製する構成も知られている。この場合、周辺駆動回路もアクティブマトリクス回路も石英基板上に形成される薄膜トランジスタでもって構成される。

【0007】また、レーザーアニール等の技術を利用することにより、ガラス基板上に結晶性珪素膜を用いた薄膜トランジスタを作製する技術も知られている。この技術を利用すると、ガラス基板にアクティブマトリクス回路と周辺駆動回路とを集積化することができる。

【0008】図3に示すような構成においては、ソースドライバー側のシフトレジスタ回路（水平走査用のシフトレジスタ）からの信号により、画像信号線に供給される画像信号が（B）に示すようなタイミングで選択される。そして対応するソース信号線に所定の画像信号が供給される。

【0009】ソース信号線に供給された画像信号は、画素の薄膜トランジスタにより選択され、所定の画素電極に書き込まれる。

【0010】画素の薄膜トランジスタは、図示しないゲイドライバー側のシフトレジスタ（垂直走査用のシフトレジスタ）からゲート信号線を介して供給される選択信号により動作する。

【0011】この動作をソースドライバー側のシフトレジスタからの信号とゲイドライバー側のシフトレジスタからの信号により、適当なタイミング設定により順次繰り返し行うことにより、マトリクス状に配置された各画素に順次情報が書き込まれる。

【0012】1画面分の画像情報を書き込んだら、次の画面の画像情報の書き込みを行う。こうして画像の表示が次々に行われる。普通、この1画面分の情報の書き込みは、1秒間に30回、あるいは60回行われる。

【0013】このような動作において、階調表示を行わには、画像信号が必要とする階調分に対応する信号を含んでいる必要がある。

【0014】装置に供給される信号がアナログ信号の場合には、その信号に階調表示に必要とされる信号が含まれているので、図3に示す構成でもある程度の対応をすることができる。

【0015】しかし、磁気記録媒体やデジタル回線からの信号（これはデジタル信号である）を基に表示を行う場合には、図3に示す構成では問題が生じる。

【0016】基の信号がデジタルの場合、DAコンバータ回路によって、図3（B）に示すようなアナログの画像信号を作り出さなければならない。

【0017】携帯型の情報処理端末等において必要とされる階調は、64階調程度である。しかし、64階調分の情報が含まれる画像信号をDAコンバータにより作成することは、DAコンバータの構造が複雑化し、コスト高になるという問題がある。

【0018】特に、表示装置の集積化を高めた場合、DAコンバータもパネル上に薄膜トランジスタでもって構成する必要が生じるが、上記のような64階調分の情報を作成するDAコンバータを薄膜トランジスタでもって構成することは非常に困難である。

【0019】例えば、XGA規格（1024×768画素）を採用し、1秒間に60回の画面書換を行う場合を考える。この場合、1行における1番目から1024番目までのソース信号線に信号を順次供給するのに、 $((1/60)/768) \text{ sec}$ 必要となる。即ち、 $21.7 \mu\text{sec}$ 必要となる。

【0020】そして、n段目のシフトレジスタが動作を開始してから、n+1段目のシフトレジスタが動作し始めるまでの時間は、さらにその $1/1024$ となる。即ち、 21.2 nsec となる。これは、47MHz程度の動作速度が要求されることを意味する。

【0021】64階調に相当するアナログ信号を47MHz程度の動作速度で作り出すことは、D/Aコンバータの機能としては、負担が重いものとなる。ましてや、薄膜トランジスタでそのような能力を有するD/Aコンバータを作製することは非常に困難なものとなる。

【0022】

【発明が解決しようとする課題】本明細書で開示する発明は、デジタル信号を入力信号として、画像を表示するアクティブマトリクス型の表示装置において、比較的簡単な回路構成でもって、64階調というような階調表示を行わすことができる構成を提供することを課題とする。

【0023】

【課題を解決するための手段】本明細書で開示する発明の一つは、アクティブマトリクス型の表示装置であって、格子状に配置されたゲート信号線及びソース信号線と、前記ゲート信号線とソース信号線との交点付近に配置された少なくとも1つの画素薄膜トランジスタと、前記ソース信号線毎に設けられ、前記ソース信号線に供給する階調電圧を選択する手段と、を有し、前記階調電圧を選択する手段における階調電圧の選択は、1ライン期間を複数に分割することにより得た期間の一つを選択し、かつ該期間内に設定された階調電圧を選択すること